

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-114003

(43)Date of publication of application : 02.05.1989

(51)Int.Cl.

H01C 13/00

H01C 7/00

H01L 23/12

H01L 25/00

(21)Application number : 62-272053

(71)Applicant : HITACHI LTD

HITACHI MICRO COMPUT ENG LTD

(22)Date of filing : 28.10.1987

(72)Inventor : NAKADA KUNIHIRO

NEZU TOSHITADA

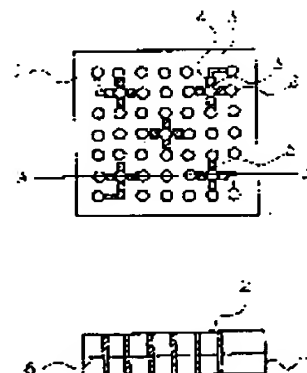
TAKENAKA TAKATSUGU

(54) RESISTOR CHIP

(57)Abstract:

PURPOSE: To shorten wiring length and to reduce noise, by employing a series of processes in which some resistors formed in a chip are directly connected to the elements within an LSI on the chip, and the remaining resistors are connected at the respective one ends as the output terminals of a board to any element within the LSI through wirings outside the board.

CONSTITUTION: Resistors 4 are connected to most of the through holes 2, which are bored through a board 1 of insulator, through wirings 3, and such resistors 4 are connected by both a power layer 6 and the through holes 2. And, when resistors are put to use, some resistors 4 are connected to an LSI chip through solder, further the remaining resistors 5 are selectively connected to the wiring board through solder. As a result, for the specific terminal resistors, the wiring length to the LSI chip can be shortened and the wiring capacity can be decreased to reduce the signal noise. Moreover, the remaining resistors may be connected to any element within the LSI chip, which enables the connection between elements within the LSI or the connection between elements of one LSI and the other LSI to be freely performed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-114003

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)5月2日

H 01 C 13/00

Q-7303-5E

7/00

B-8525-5E

H 01 L 23/12

B-7738-5F

25/00

B-7638-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 抵抗チップ

⑯ 特 願 昭62-272053

⑰ 出 願 昭62(1987)10月28日

⑱ 発 明 者 仲 田 國 博 東京都小平市上水本町1479番地 日立マイクロコンピュータエンジニアリング株式会社内

⑲ 発 明 者 根 津 利 忠 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

⑳ 発 明 者 竹 中 隆 次 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

㉑ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 出 願 人 日立マイクロコンピュータエンジニアリング株式会社 東京都小平市上水本町1479番地

㉓ 代 理 人 弁理士 磯村 雅俊

明 細 書

1. 発明の名称

抵抗チップ

2. 特許請求の範囲

1. 絶縁基板上に複数個の抵抗素子を形成した抵抗チップにおいて、前記基板上にLSIを搭載したとき、該LSI内部の数個の特定素子と前記基板上の一部の抵抗素子とを前記基板上で直接接続可能に、残りの抵抗素子については、抵抗素子の一端を前記基板の出力端子として、前記基板外で配線を介して自由に接続可能に構成したことを特徴とする抵抗チップ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は抵抗チップに関し、特に抵抗素子の一部が既に抵抗チップ内で接続された、終端抵抗用の抵抗チップに関する。

(従来の技術)

従来の終端抵抗用の抵抗チップ(以下、単に「チ

ップ」ともいう)は、該チップ内の抵抗素子の各々が、LSI搭載時、LSI内部のどの素子ともチップ外の配線基板において接続可能な構造となっているのが一般的である。

ところで、クロック回路素子等のノイズを減う素子は、該素子と終端抵抗素子間の配線が長くなり容量を持つことは好ましくなく、上述の配線長に関してはできる限り短くする必要がある。

なお、この種の抵抗チップとして関連するものに、例えば、特開昭58-198552号公報に開示されているものが挙げられる。但し、この抵抗チップにおいては、絶縁基板上に形成された抵抗素子がある一端を電源層に、他端を貫通スルホールに接続されており、LSI内部の全ての素子が抵抗素子と直接接続される構造であるため不要な抵抗素子は、抵抗チップ内で接続されていた終端抵抗を、レーザー等の大掛かりな装置を用いて切断する工程が必要であった。

(発明が解決しようとする問題点)

上記従来技術のうち前者は、LSI内部素子と

抵抗チップ内抵抗素子間の配線容量については配慮がなされておらず、クロック回路素子等のノイズによる回路誤動作を誘発するという問題があった。また、上記従来技術のうち後者は、LSI内部素子と抵抗チップ内抵抗素子間の自由な配線接続については配慮がなされていないという問題があった。

本発明は上記事情に鑑みてなされたもので、その目的とするところは、従来の抵抗チップにおける上述の如き問題を解消し、特定の素子、例えばクロック回路素子と終端抵抗となる抵抗素子とは抵抗チップ内部で接続することにより、クロック回路素子と終端抵抗素子間の配線長を短くして配線容量を減らしてクロック回路等におけるノイズ発生による誤動作を防止し、それ以外の抵抗素子については、配線接続の自由度を維持することを可能とした抵抗チップを提供することにある。

〔問題点を解決するための手段〕

本発明の上記目的は、絶縁基板上に複数個の抵抗素子を形成した抵抗チップにおいて、前記基板

上にLSIを搭載したとき、該LSI内部の数個の特定素子と前記基板上の一部の抵抗素子とを前記基板上で直接接続可能に、残りの抵抗素子については、抵抗素子の一端を前記基板の出力端子として、前記基板外で配線を介して自由に接続可能に構成したことを特徴とする抵抗チップによって達成される。

〔作用〕

本発明に係わる抵抗チップにおいては、チップ内の一部の抵抗素子は、LSI内部の素子とチップ上で直接接続されているので、上記素子間の配線長は短くなり、配線容量を持つことがない。これにより、素子にクロック信号が伝送される途中でノイズが発生することもなく、従って、回路誤動作を惹き起こすこともない。

また、残りの抵抗素子は、LSI内部のどの素子とも接続可能であり、LSI内部またはLSI間の素子の自由な接続が可能である。

〔実施例〕

以下、本発明の実施例を図面に基づいて詳細に

説明する。

第1図は本発明の一実施例を示す抵抗チップの上面図、第2図は第1図のA-A'断面図である。

本実施例に示すチップは、セラミック等の絶縁体で構成される基板1に形成された貫通スルホール2の多くに、それぞれ、配線3により、薄膜あるいは厚膜法によって形成された抵抗4が接続され、該抵抗4は、基板1に設けられた電源層6とスルホール2により接続されている。

本実施例に示すチップは、使用時には、第3図に示す如く、抵抗4の一部は「はんだ」7を介して半導体チップ8と接続され、更に「はんだ」9を介して残りの抵抗5を選択し、配線基板10に接続して使用される。

本実施例によれば、特定の終端抵抗についてはLSIチップまでの配線長を短くし、配線容量を小さくすることができるので、信号ノイズを極力小さくできる効果がある。また、残りの抵抗素子はLSI内部のどの素子とも接続が可能であり、LSI内部またはLSI間の素子の自由な接続が

可能である。

上記実施例は一例として示したものであり、本発明はこれに限定されるべきものではない。

〔発明の効果〕

以上述べた如く、本発明によれば、絶縁基板上に複数個の抵抗素子を形成した抵抗チップにおいて、前記基板上にLSIを搭載したとき、該LSI内部の数個の特定素子と前記基板上の一部の抵抗素子とを前記基板上で直接接続可能に、残りの抵抗素子については、抵抗素子の一端を前記基板の出力端子として、前記基板外で配線を介して自由に接続可能に構成したので、特定の終端抵抗についてはLSIチップまでの配線長を短くし、配線容量を小さくすることができるので、信号ノイズを極力小さくできる効果があるとともに、残りの抵抗素子はLSI内部のどの素子とも接続が可能であり、LSI内部またはLSI間の素子の自由な接続が可能である抵抗チップを実現できるという顕著な効果を奏するものである。

4. 図面の簡単な説明

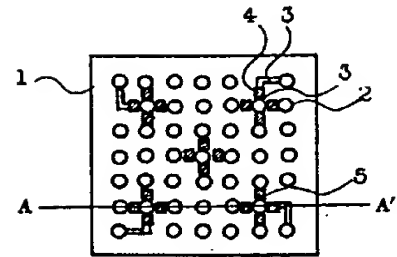
第1図は本発明の一実施例を示す抵抗チップの上面図、第2図は第1図のA-A'断面図、第3図は抵抗チップ使用時の集積回路モジュールの断面図である。

1：基板、2：貫通スルホール、3：配線、4：抵抗、5：電極層、6：電極層、8：半導体チップ、10：配線基板。

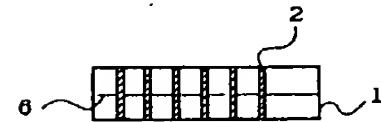
特許出願人 株式会社 日立製作所(ほか1名)

代理人 弁理士 磯村 雅 俊

第 1 図



第 2 図



第 3 図

